

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10296525

Basic Patent (No,Kind,Date): JP 3293641 A2 911225 <No. of Patents: 001>

ACTIVE MATRIX DISPLAY DEVICE (English)

Patent Assignee: SHARP KK

Author (Inventor): SHIMADA NAOYUKI; TAKATO YUTAKA; YAMASHITA TOSHIHIRO

IPC: *G02F-001/136;

CA Abstract No: 116(26)265793F

JAPIO Reference No: 160131P000103

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3293641	A2	911225	JP 9096895	A	900412 (BASIC)

Priority Data (No,Kind,Date):

JP 9096895 A 900412

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03630741 **Image available**

ACTIVE MATRIX DISPLAY DEVICE

PUB. NO.: 03-293641 [JP 3293641 A]

PUBLISHED: December 25, 1991 (19911225)

INVENTOR(s): SHIMADA NAOYUKI

TAKATO YUTAKA

YAMASHITA TOSHIHIRO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-096895 [JP 9096895]

FILED: April 12, 1990 (19900412)

INTL CLASS: [5] G02F-001/136

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1332, Vol. 16, No. 131, Pg. 103,
April 03, 1992 (19920403)

ABSTRACT

PURPOSE: To reduce the off-current of the channel layer of a TFT connected to a picture electrode and to improve the grade of an image by forming channel layers on the lower region and the offset regions of both sides of the lower region of a gate electrode.

CONSTITUTION: The channel layer 42 of a first TFT 45 provided on the picture element electrode 4 is formed on the lower region 42a and offset regions 42b of the gate electrode 43. On the other hand, the channel layer of a second TFT provided on a source driving circuit is formed only the lower region of the gate electrode. Therefore, the off-current of the TFT 45 is reduced, and a comparatively great on-current is obtained. Moreover, polycrystal silicon is used, so that a TFT having high active speed is obtained. Thus, the holding properties of a video signal written in the picture element electrode are improved, and a high-definition image is obtained.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-293641

⑫ Int.Cl.³

G 02 F 1/136

識別記号

5 0 0

庁内整理番号

9018-2K

⑬ 公開 平成3年(1991)12月25日

審査請求 未請求 請求項の数 4 (全12頁)

⑭ 発明の名称 アクティブマトリクス表示装置

⑮ 特 願 平2-96895

⑯ 出 願 平2(1990)4月12日

⑰ 発 明 者 島 田 尚 幸 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内⑰ 発 明 者 高 藤 裕 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内⑰ 発 明 者 山 下 俊 弘 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑰ 出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑰ 代 理 人 弁理士 山本 秀策

明 細 書

1. 発明の名称

アクティブマトリクス表示装置

2. 特許請求の範囲

1. 一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された給電電極と、該給電電極に接続され且つゲート電極及び該ゲート電極の下方に形成されたチャネル層を有する第1の薄膜トランジスタと、を備えたアクティブマトリクス表示装置であって、

該チャネル層が、該ゲート電極の下方領域と、該下方領域の両側のオフセット領域とに形成されているアクティブマトリクス表示装置。

2. 前記第1の薄膜トランジスタのソース電極に接続されたソースバス配線と、該ソースバス配線に供給される映像信号を制御する第2の薄膜トランジスタとを更に備え、該第2の薄膜トランジスタのチャネル層が、該第2の薄膜トランジスタのゲート電極の下方領域に形成されている、請求項1に記載のアクティブマトリクス表示装置。

3. 前記第1の薄膜トランジスタの前記オフセット領域に於ける前記チャネル層のチャネル方向に於ける長さが、 $0.5\mu\text{m}$ 以上、 $5\mu\text{m}$ 以下である、請求項1又は2に記載のアクティブマトリクス表示装置。

4. 前記第1及び第2の薄膜トランジスタのチャネル層が、多結晶シリコンからなる請求項1乃至3に記載のアクティブマトリクス表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、スイッチング素子として薄膜トランジスタ(以下では「TFT」と称す)を有するアクティブマトリクス表示装置に関する。

(従来の技術)

近年、液晶等を表示媒体として用いたアクティブマトリクス表示装置が、活発に研究されている。中でも液晶を用いたアクティブマトリクス型の液晶ディスプレイ(以下では「LCD」と称す)は、コントラストの高い表示が可能であるため、注目を集めている。

特開平3-293641 (2)

アクティブマトリクス型のLCDには、TFTアレイドを駆動するためのICチップが実装される。しかし、小型で高精細な表示を行うアクティブマトリクス型のLCDでは、接続端子間の距離が非常に小さくなり、実装が困難となる。この点を解決するため、小型高精細のアクティブマトリクス型のLCDでは、TFTアレイドが形成された基板上に駆動回路が形成される。

駆動回路とTFTアレイドを同一基板上に形成したアクティブマトリクス表示装置の基本的構成の模式図を、第3図に示す。この表示装置では基板11上に、ゲート駆動回路54、ソース駆動回路55、及びTFTアレイド53が形成されている。TFTアレイド53には、ゲート駆動回路54から延びる多数の平行するゲートバス配線1が配設されている。ソース駆動回路55からは多数のソースバス配線2が、ゲートバス配線1に直交して配設されている。更に、ソースバス配線2に平行して、付加容量配線8が配設されている。

ソースバス配線2と、ゲートバス配線1、1と、

付加容量配線8とに囲まれた矩形の領域には、TFT25、給索57、及び付加容量27が設けられている。TFT25のゲート電極はゲートバス配線1に接続され、ソース電極はソースバス配線2に接続されている。TFT25のドレイン電極に接続された給索電極と対向基板上的対向電極との間に液晶が封入され、給索57が構成されている。給索57は電気的には容量と等価であり、給索57に書き込まれた信号を保持する作用を有する。また、TFT25のドレイン電極と付加容量配線8との間には、給索57に書き込まれた映像信号を保持するための付加容量27が形成されている。付加容量配線8は、対向電極と同じ電位の電極に接続されている。

ソース駆動回路55の概略構成を第4図に模式的に示す。ソース駆動回路55には、シフトレジスタ93、映像信号配線92、薄膜トランジスタ91が設けられている。TFT91は各ソースバス配線2に対応して設けられ、アナログスイッチとして機能している。この表示装置ではゲート駆

動回路54からの信号によって、ゲートバス配線1上に接続されているTFT25がオン状態となる。それと共に、ソース駆動回路55のシフトレジスタ93からは、各TFT91をオン状態とするオン信号が順次出力される。TFT91がオン状態となると、映像信号配線92から対応するソースバス配線2に映像信号が書き込まれる。ソースバス配線2に書き込まれた映像信号は、TFT91がオフ状態となった後もソースバス配線2に保持される。ソースバス配線2に保持された映像信号は、次にTFT25を通じて給索57に書き込まれ、表示が行われる。このようにソースバス配線に映像信号を保持する方式は、パネルサンプルホールド方式と呼ばれている。

パネルサンプルホールド方式を用いると、映像信号は映像信号配線92からソースバス配線2に直接書き込まれるため、ソース駆動回路55の構成が簡単になるという利点がある。また、ソース駆動回路55を構成する各素子の特性のばらつきの影響が小さいという利点もある。しかし、この

パネルサンプルホールド方式には以下のような欠点もある。この方式では、1本のゲートバス配線1に接続されたTFT25の全てをオン状態とした後、映像信号配線92に送られてくる映像信号が順次ソースバス配線2に書き込まれる。従って、TFT25がオン状態となった後、最初に映像信号が書き込まれるソースバス配線2では、給索57に映像信号を書き込む時間が十分ある。しかし、最後に映像信号が書き込まれるソースバス配線2では、TFT25がオフ状態となるまでの時間が十分にとれない。そのため、ソースバス配線2に保持された映像信号が、十分に給索57に書き込まれないという欠点がある。

上述の欠点を解消した方式として、ドライバサンプルホールド方式がある。この方式では、順次送られてくる映像信号はソース駆動回路55内の容量に保持され、TFT25がオン状態となれば一斉にソースバス配線2に書き込まれる。従って、この方式では上述のような欠点はない。しかし、ドライバサンプルホールド方式には、ソース駆動

特開平3-293641 (3)

回路55が複雑で面積が大きくなるという欠点がある。また、ソース駆動回路55内に形成される容量等の特性のばらつきが表示に直接影響するという欠点もある。従って、駆動回路一体型のアクティブマトリクス表示装置では、パネルサンプルホールド方式が用いられる。

(発明が解決しようとする課題)

このような駆動回路一体型のアクティブマトリクス型のLCDとして、例えば特願平1-304402号に記載されているものを挙げる事ができる。第5図にその表示装置に用いられるTFTアレイの部分平面図を示す。第6図に第5図のVI-VI'線に沿った断面図を示す。この表示装置では、ガラス基板11上に、チャネル層12及び容量用下部電極5からなる多結晶シリコン薄膜30が形成される。多結晶シリコン薄膜30上には、ゲート絶縁膜13が形成されている。容量用下部電極5は多結晶シリコン薄膜30にイオン注入法によるドーピングを行うことによって形成される。

ゲート絶縁膜13上には、 n^+ 又は p^+ 型の多結

晶シリコンによってゲートバス配線1、ゲート電極3a及び3b、並びに容量用上部電極6が形成されている。この表示装置ではTFT25は2個のTFT25a及び25bからなる。容量用上部電極6と前述の容量用下部電極5との間で、付加容量27が形成される。このゲート電極3a及び3bをマスクとし、且つ、フォトリソグラフィ法によって形成されたレジストをマスクとして、ゲート電極3a及び3bの下方のチャネル層12、12となる部分以外の部分にイオン注入が行なわれる。これにより、TFT25a及び25bのソース領域及びドレイン領域、並びにチャネル層12、12が自己整合的に形成される。

ゲートバス配線1、ゲート電極3a及び3b、並びに容量用上部電極6上には、絶縁層14が形成されている。絶縁層14には、第5図に示すように3つのコンタクトホール7a、7b及び7cが形成されている。絶縁層14上には、ソースバス配線2及び付加容量配線8が形成されている。ソースバス配線2はコンタクトホール7aを介し

てTFT25aのソース領域に接続され、付加容量配線8はコンタクトホール7cを介して容量用上部電極6に接続されている。また、絶縁層14上にはITOから成る給電電極4がパターン形成されている。給電電極4はコンタクトホール7bを介してTFT25bのドレイン領域に接続される。さらにこの基板の全面に保護膜15が形成されている。

このアクティブマトリクス表示装置では、TFT25は直列に配列された2個のTFT25a及び25bからなる。この構成により、TFT25a及び25bのオフ状態に於けるリーク電流が低減され、給電電極4に書き込まれた映像信号の保持特性が向上している。

このようなTFTアレイとソース駆動回路とを有する表示装置に於いて高い画品位を得るためには、各給電電極4に接続されたTFT25、及びソース駆動回路55に設けられたTFT91は、以下の表1に示すような特性を有することが必要である。

表 1

書き込み時間 保持時間 オンオフ比

1-2駆動回路 のTFT	99ns	50μs	8.0×10 ⁴
給電電極の TFT	10μs	17ms	2.7×10 ³

尚、表1に示す特性は、対角1インチ、画素数20万程度のカラージュファインダについてのものである。ここで、書き込み時間とは、映像信号を書き込むのに必要な時間であり、保持時間とは、書き込んだ映像信号を保持しなければならない時間である。また、オンオフ比とは、書き込み時間と保持時間から見積られる必要なTFTのオン抵抗に対するオフ抵抗の比率である。

上述のサンプルホールド方式を用いた駆動回路一体型のアクティブマトリクス表示装置では、映像信号がソースバス配線2に順次書き込まれるため、給電電極4に接続されたTFT25のオンオ

特開平3-293641(4)

フ比は、ソース駆動回路のTFT91のそれより大きいことが必要となる。

表2に、同じ表示装置に設けられるソース駆動回路55のTFT91と給索電極4に接続されたTFT25とがそれぞれ駆動すべき容量、即ち、TFT91についてはソースバス配線2の寄生容量、TFT25については給索57と付加容量27との和を示した。また、表2には、上述の容量と表1の書き込み時間から求めた必要なオン抵抗の大きさ、及び信号を保持するのに必要なオフ電流の見積りが示されている。

表 2

駆動する容量 オン抵抗 オフ電流

Y-ス駆動回路 のTFT	3.3pF	5.7kΩ以下	2×10^{-12} A以下
給索電極の TFT	0.054pF	34MΩ以下	1×10^{-12} A以下

ることが必要である。このような大きなオンオフ比は、第5図及び第6図に示すように、2個のTFT25a及び25bを直列に配列することにより達成される。ところが、オフ電流を小さくするためには、TFTのチャネル幅を小さくしなければならない。TFTのチャネル層は、前述のようにフォトリソグラフィ法及びエッチングによって形成される。従って、ある程度以下の幅を有するチャネル層を形成しようとする、レジストパターンがフォトリソグラフィ法によって形成されなくなったり、エッチング工程でチャネル層が消失することがある。このように、TFTのチャネル層の幅がある程度以下になると、形成するのが困難となる。

第5図及び第6図に示されるように、2個のTFT25a及び25bを直列に配した構造によって、表2に示されているような小さなオフ電流を達成するためには、各TFT25a及び25bのチャネル幅Wを2μm以下にする必要がある。また、画像をスクリーンに投影するプロジェクション

高い画像品位を実現するためには、表2に示すように、ソース駆動回路55のTFT91はオン抵抗が小さいこと、従って、オン電流が大きいことが必要である。また、給索電極4に接続されたTFT25には、オフ電流が小さいことが必要である。一般に、TFTのオン電流は、TFTのチャネルの幅Wと、チャネルの長さLとの比、 W/L に比例する。一方、オフ電流はチャネルの長さLにはあまり依存せず、チャネル幅Wに比例する。従って、TFTのオン抵抗に対するオフ抵抗の比、即ち、オフ電流に対するオン電流の比は、Lを小さくすることによって大きくすることができる。また、ソース駆動回路55のTFT91のオン抵抗は、表2に示されているように、低い値を有することが必要である。このような低い抵抗値は、TFT91のチャネル幅を大きくすることにより得られる。

一方、給索電極4に接続されたTFT25は、ソース駆動回路55のTFT91より大きなオンオフ比が必要であると共に、オフ電流を低く抑え

ン型の表示装置では、TFTが形成されている基板の温度が室温よりも数十度高くなる。それに伴って、単位チャネル幅当りのオフ電流が増加するため、良好な映像信号の保持特性を確保するためには更にチャネル幅を小さくすることが必要となる。ところが、従来の技術ではTFTのチャネル幅を3μm以下にすることは困難であるため、良好な映像信号の保持特性を得ることができなかった。

本発明はこのような問題点を解決するものであり、本発明の目的は、給索電極に接続されるTFTのチャネル層のオフ電流を小さくして、給索電極の映像信号の保持特性を向上させることにより、高い画像品位を有するアクティブマトリクス表示装置を提供することである。

(課題を解決するための手段)

本発明のアクティブマトリクス表示装置は、一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された給索電極と、該給索電極に接続され且つゲート電極及び該ゲ

特開平3-293641(5)

ト電極の下方に形成されたチャネル層を有する第1の薄膜トランジスタと、を備えたアクティブマトリクス表示装置であって、該チャネル層が、該ゲート電極の下方領域と、該下方領域の両側のオフセット領域とに形成されており、そのことによって上記目的が達成される。

また、前記第1の薄膜トランジスタのソース電極に接続されたソースバス配線と、該ソースバス配線に供給される映像信号を制御する第2の薄膜トランジスタとを更に備え、該第2の薄膜トランジスタのチャネル層が、該第2の薄膜トランジスタのゲート電極の下方領域に形成されている構成とすることもできる。

また、前記第1の薄膜トランジスタの前記オフセット領域に於ける前記チャネル層のチャネル方向に於ける長さが、 $0.5\mu\text{m}$ 以上、 $5\mu\text{m}$ 以下である構成とすることもできる。

更に、前記第1及び第2の薄膜トランジスタのチャネル層が、多結晶シリコンからなる構成とすることもできる。

の幅は $20\mu\text{m}$ である。

第8図(a)及び(b)に示すTFT25は、前述の第5図及び第6図に示すものと同様であり、ゲート電極3a及び3bをそれぞれ有する2個のTFT25a及び25bからなる。TFT25a及び25bのチャネル層12a及び12bのチャネル方向の長さは、それぞれゲート電極3a及び3bと同じであり、 $4\mu\text{m}$ である。従って、2個のチャネル層12a及び12bのチャネル方向に於ける長さの合計は $8\mu\text{m}$ となり、これは第7図(a)及び(b)のTFT35のチャネル層の幅と同じになる。また、チャネル層12a及び12bの幅は $20\mu\text{m}$ である。

第9図(a)及び(b)に示すTFT45は、本発明によるものであり、単一のゲート電極43を有する。このTFT45のチャネル層42のチャネル方向の長さは、ゲート電極43の幅よりも大きい。即ち、チャネル層42は、ゲート電極43の下方領域42aと、該下方領域の両側のオフセット領域42b、42bとに形成されている。

前記オフセット領域に於けるチャネル層のチャネル方向の長さが、 $0.5\mu\text{m}$ より小さいと、該第1の薄膜トランジスタのオフ電流を小さくすることができず、 $5\mu\text{m}$ より大きいと、該第1の薄膜トランジスタのソース電極及びドレイン電極間の抵抗が大きくなりすぎるので好ましくない。

(作用)

本発明のアクティブマトリクス表示装置に用いられる第1の薄膜トランジスタの作用を、従来の表示装置に用いられるTFTのそれと比較するため、第7図(a)、第8図(a)及び第9図(a)の平面図に示すTFTをそれぞれ作製した。第7図(b)、第8図(b)及び第9図(b)に、第7図(a)、第8図(a)及び第9図(a)のそれぞれⅥ-Ⅶ線、Ⅷ-Ⅷ及びⅨ-Ⅸ線に沿った断面図を示す。第7図(a)及び(b)に示すTFT35は、単一のゲート電極33を有する従来のものである。このTFT35のチャネル層32のチャネル方向の長さは、ゲート電極33の幅と同じであり、 $8\mu\text{m}$ である。また、チャネル層32

チャネル層42の幅は、 $4\mu\text{m}$ である。下方領域42aに於けるチャネル方向の長さは $4\mu\text{m}$ である。また、一方のオフセット領域42bに於けるチャネル層のチャネル方向に於ける長さは $3\mu\text{m}$ である。

第7図～第9図に示すTFT35、25、45のTFT特性を第10図に示す。第10図では、TFTのドレイン電極とソース電極との間に $V_{ds}=10\text{V}$ の電圧を印加し、ゲート電極とソース電極の電圧 V_{gs} を変化させた場合に、ソース電極とドレイン電極との間に流れる電流 I_d をプロットしたものである。第10図から明らかなように、本発明のTFT45では、従来のTFT25及び35に比べ、 $V_{gs}<0$ に於ける I_d 、即ちTFTのオフ電流が小さくなっている。このような I_d を低減させる効果は、第1の薄膜トランジスタのオフセット領域に於けるチャネル層のチャネル方向に於ける長さが、 $0.5\mu\text{m}$ 以上、 $5\mu\text{m}$ 以下であれば得られる。

(実施例)

特開平3-293641(6)

本発明を実施例について以下に説明する。

第1図に本発明のアクティブマトリクス表示装置のTFTアレイ部22の部分平面図を示す。第2図に、第1図のII-II線に沿った断面図を示す。第1図及び第2図を参照しながら、本実施例を製造工程に従って説明する。尚、第1図及び第2図には触媒電極4に接続された第1のTFT45のみが記載されているが、ソース駆動回路内のアナログスイッチとして機能する第2のTFT及び他のTFT、並びにゲート駆動回路内のTFTも同時に形成される。

まず、ガラス、石英等の透明絶縁性基板11上の全面に、後にTFT45のチャネル層42、ソース電極46及びドレイン電極47、並びに容量用下部電極5となる多結晶シリコン薄膜をCVD法によって形成した。この多結晶シリコン薄膜を真空雰囲気中でアニールすることにより、大きな結晶粒径を有する多結晶シリコン薄膜が得られた。

駆動回路一体型のアクティブマトリクス表示装置に用いられるTFTのチャネル層には、多結晶

シリコンが多用される。その理由は、キャリアの移動度が非結晶シリコンに比べて大きいこと、n型及びp型の何れのTFTも作製し得る等である。チャネル層に多結晶シリコンを用いることにより、動作速度が大きく、消費電力の小さいTFTが得られる。

次に、上記多結晶シリコン薄膜をパターニングすることにより、チャネル層42、ソース電極46、ドレイン電極47及び容量用下部電極5を第1図に示す形状で形成した。チャネル層42の幅は4 μ mである。次に、CVD法、又はスパッタリング法により、ゲート絶縁膜13を形成した。ゲート絶縁膜13は上記多結晶シリコン薄膜の上面を熱酸化することによっても形成し得る。次に、容量用下部電極5の部分にイオン注入法によるドーピングを行い、低抵抗の容量用下部電極5を得た。容量用下部電極5の部分へのドーピングは、ゲート絶縁膜13を形成する前に拡散法を用いて行うこともできる。更に、TFT45の閾値電圧を制御するために、チャネル層42のゲート電極

43の下方領域42aにドーピングを行ってもよい。チャネル層42へドーピングされる不純物の量は、上述の容量用下部電極5、後述するソース電極46又はドレイン電極47にドーピングされる不純物の量の1000分の1以下である。また、この下方領域42aへのドーピングを該下方領域42aの両側のオフセット領域42bにも行ってもよい。

次に、後にゲートバス配線1、ゲート電極43、及び容量用上部電極6となる多結晶シリコン薄膜をCVD法によって形成し、拡散法によってドーピングを行った。これにより、低抵抗の多結晶シリコン薄膜が得られた。上記低抵抗多結晶シリコン薄膜の層厚は、数百nm以上であることが必要である。その理由は、ゲート電極43と同時に形成されるソース駆動回路内のTFT及びゲート駆動回路内のTFTのゲート電極が、これらのTFTのチャネル層を形成する際のイオン注入のマスクとしても用いられること、及びゲートバス配線1としても用いられるため低いシート抵抗が必要

なことである。次に、上記低抵抗多結晶シリコン薄膜のパターニングにより、ゲートバス配線1、ゲート電極43、及び容量用上部電極6を形成した。ゲート電極43の幅は4 μ mである。容量用上部電極6と前述の容量用下部電極5との間で、付加容量27が形成される。ゲート絶縁膜13はこれらの電極5及び6の間の絶縁膜としても機能する。

次に、ソース駆動回路内のTFT、ゲート駆動回路内のTFT、及びTFTアレイ部22のTFT45のソース電極及びドレイン電極、並びにチャネル層を、イオン注入法を用いてドーピングすることによって形成した。ソース駆動回路及びゲート駆動回路内には、n型のTFTとp型のTFTとを組み合わせたCMOS構成の駆動回路が形成される。CMOS構成の駆動回路を形成する場合、n型のTFTのソース電極及びドレイン電極を形成するドーピングの時にはp型のTFTのソース電極、ドレイン電極、及びチャネル層の上部をレジストで覆い、これらの部分にn型の不純物

特開平3-293641 (7)

が入らないようにすることが必要である。同様に、 p 型のTFTのソース電極及びドレイン電極を形成するドーピングの時には n 型のTFTのソース電極、ドレイン電極、及びチャネル層の上部をレジストで覆うことが必要である。また、ソース駆動回路及びゲート駆動回路内のTFTのゲート電極は、前述のようにイオン注入時にはマスクとして機能するので、イオンはこれらのTFTのゲート電極の下方領域以外の部分に注入される。このように、ソース駆動回路及びゲート駆動回路内のTFTでは、第7図(a)又は第8図(a)と同様に、チャネル層はゲート電極の下方領域のみに形成される。

一方、給索電極4に接続されたTFT45のチャネル層42は、ゲート電極43の下方領域42aと、該下方領域42aの両側のオフセット領域42b、42bとに形成されているので、ゲート電極43をマスクとしてチャネル層42を形成することはできない。本実施例では下方領域42aとオフセット領域42b、42bとを覆うレジ

ストを、ゲート絶縁膜13及びゲート電極43の上方に形成してイオン注入を行うことにより、ソース電極46及びドレイン電極47を形成した。イオン注入が行われない領域、即ち、ゲート電極43の下方領域42a、及びオフセット領域42b、42bにチャネル層42が形成される。本実施例では、一方のオフセット領域42bに於けるチャネル層42のチャネル方向の長さを $3\mu\text{m}$ とした。また、前述のように、チャネル層42の幅は $4\mu\text{m}$ 、ゲート電極43の幅は $4\mu\text{m}$ なので、下方領域42aに於けるチャネル層42の大きさは $4\mu\text{m} \times 4\mu\text{m}$ となる。

この基板上の全面に、シリコン酸化膜又はシリコン窒化膜をCVD法によって層間絶縁膜14を形成した。層間絶縁膜14の厚さはゲート絶縁膜13の厚さの数倍であることが好ましい。なぜなら、層間絶縁膜14が薄いとソースバス配線2の寄生容量が大きくなり、ソース駆動回路のTFTがアナログスイッチとして機能するのに必要なオン電流が大きくなるからである。このTFTのオン

電流が大きくなると、大きなTFTを作製しなければならないので好ましくない。

次に、第1図に示すように3つのコンタクトホール7a、7b及び7cを形成した。第2図に示すように、コンタクトホール7a及び7bは絶縁膜14及び前述のゲート絶縁膜13を貫いて、それぞれソース電極46及びドレイン電極47上に形成されている。コンタクトホール7cは、絶縁膜14を貫いて容量用上部電極6の端部の上に形成されている。

次に、信号線として機能するソースバス配線2と、付加容量配線8とを、Al金属等の低抵抗の金属を用いて同時に形成した。第1図に示すように、ソースバス配線2はコンタクトホール7a上を通り、コンタクトホール7a上で幅が広がった形状に形成されている。また、付加容量配線8はコンタクトホール7c上を通り、コンタクトホール7c上で幅が広がった形状に形成されている。従って、ソースバス配線2はコンタクトホール7aを介してソース電極46に接続されること

になる。各ソースバス配線2は、ソース駆動回路内のアナログスイッチとして機能するTFTに接続される。付加容量配線8はコンタクトホール7cを介して容量用上部電極6に接続されることになる。付加容量配線8は表示装置として完成した後は、対向基板上の対向電極と同じ電位の電極に接続される。

次に、ITOから成る給索電極4をパターン形成した。第1図に示すように、給索電極4はコンタクトホール7bにも形成されている。従って、給索電極4はコンタクトホール7bを介してドレイン電極47に接続される。

更に、給索電極4が形成された基板上の全面に、保護膜15を形成した。保護膜15はゲートバス配線1及びソースバス配線2上の液晶層に、直流成分を持つ電圧が印加されることによる液晶層の劣化を防止するために設けられている。従って、液晶層に直流成分が印加されない給索電極4上の保護膜13を、エッチングによって除去してもよい。以上のようにして作製された基板と、対向基

特開平3-293641(8)

板との間に液晶層を挟み、本実施例のアクティブマトリクス表示装置が完成される。

本実施例のアクティブマトリクス表示装置では、給素電極4に接えられる第1のTFT45のチャネル層42が、ゲート電極43の下方領域42aとオフセット領域42b、42bとに形成されているので、TFT45のオフ電流が低減されている。また、ソース駆動回路に設けられている第2のTFTのチャネル層は、ゲート電極の下方領域にのみ形成されているので、比較的大きなオン電流が得られる。しかも、多結晶シリコンを用いているので、動作速度の大きいTFTが得られる。

(発明の効果)

本発明のアクティブマトリクス表示装置では、給素電極に接続されるTFTのオフ電流が小さく、しかも、ソース駆動回路内のアナログスイッチとして機能するTFTには通常のTFTが用いられているので、給素電極に書き込まれた映像信号の保持特性が向上している。従って、本発明によれば高い画像品位を有するアクティブマトリクス表

示装置が得られる。

4. 図面の簡単な説明

第1図は本発明のアクティブマトリクス表示装置のTFTアレイ部の部分平面図、第2図は第1図のII-II線に沿った断面図、第3図は駆動回路一体型のアクティブマトリクス表示装置の基本構造の模式図、第4図はソース駆動回路の概略構成を示す図、第5図は駆動回路一体型のLCDのTFTアレイ部の部分平面図、第6図は第5図のVI-VI線に沿った断面図、第7図(a)はTFT特性を比較するために作製した従来のTFTの平面図、第7図(b)は第7図(a)のVII-VII線に沿った断面図、第8図(a)はTFT特性を比較するために作製した従来の2個のゲート電極を有するTFTの平面図、第8図(b)は第8図(a)のVIII-VIII線に沿った断面図、第9図(a)はTFT特性を比較するために作製した本発明によるTFTの平面図、第9図(b)は第9図(a)のIX-IX線に沿った断面図、第10図は第7図(a)、第8図(a)及び第9図(a)に示すTFTのT

F T特性図である。

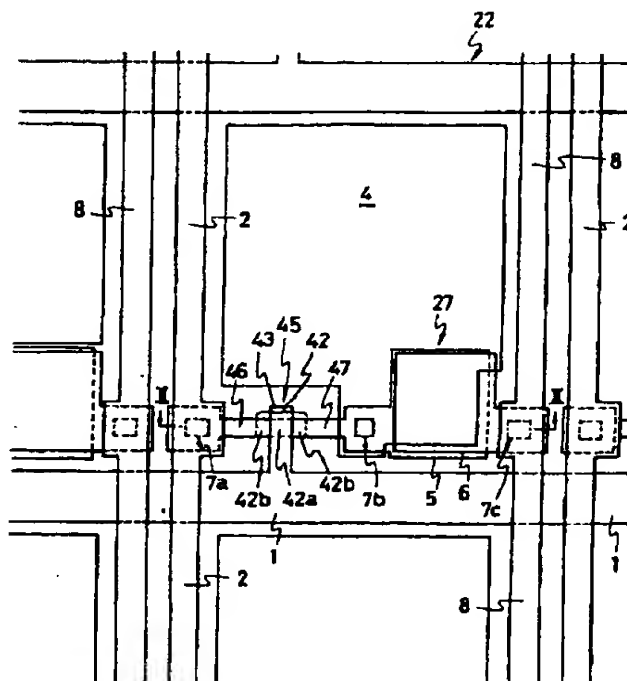
1…ゲートバス配線、2…ソースバス配線、4…給素電極、5…容量用下部電極、6…容量用上部電極、7a、7b、7c…コンタクトホール、8…付加容量配線、11…透明絶縁性基板、13…ゲート絶縁膜、14…層間絶縁膜、15…保護膜、27…付加容量、42…チャネル層、42a…下方領域、42b…オフセット領域、43…ゲート電極、45…TFT、46…ソース電極、47…ドレイン電極。

以上

出願人 シャープ株式会社

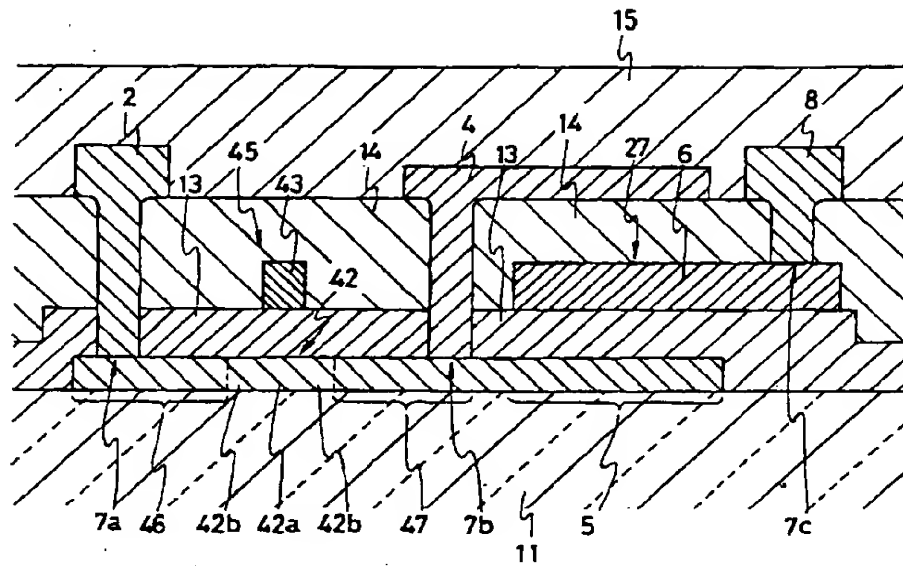
代理人 弁護士 山本秀直

第1図

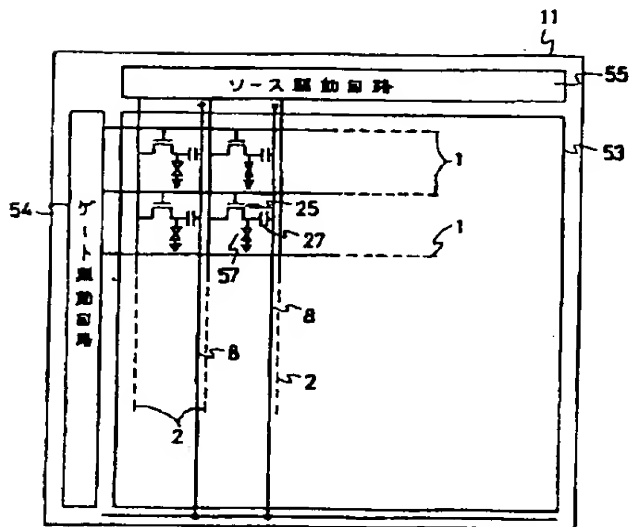


特開平3-293641 (9)

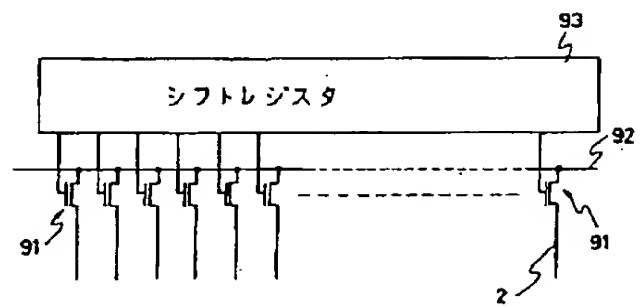
第 2 図



第 3 図

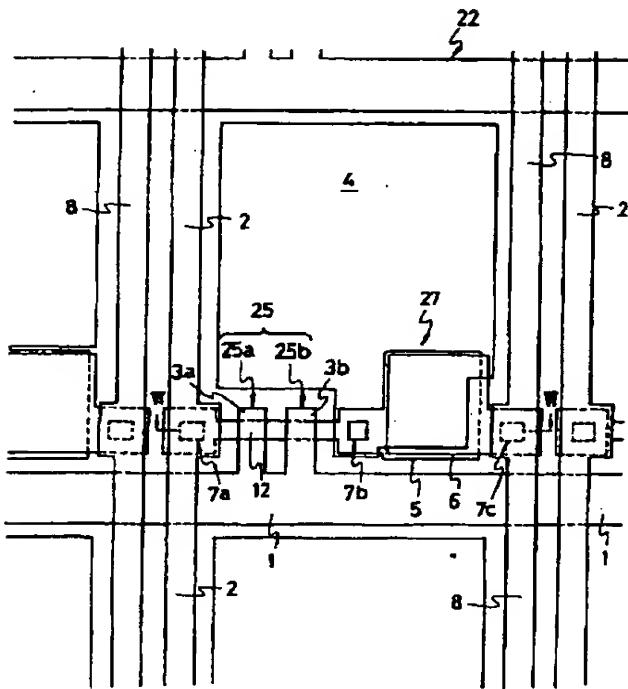
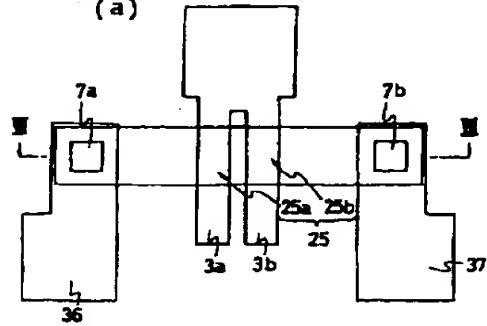


第 4 図

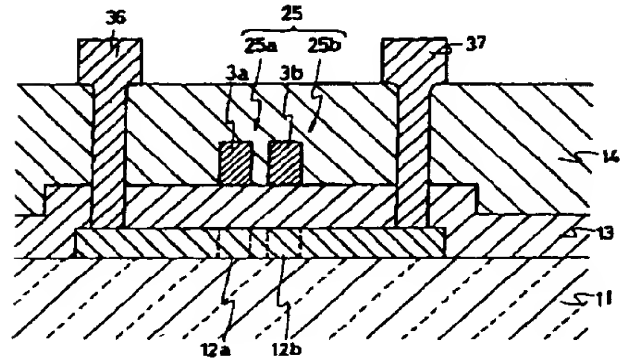


特開平3-293641 (10)

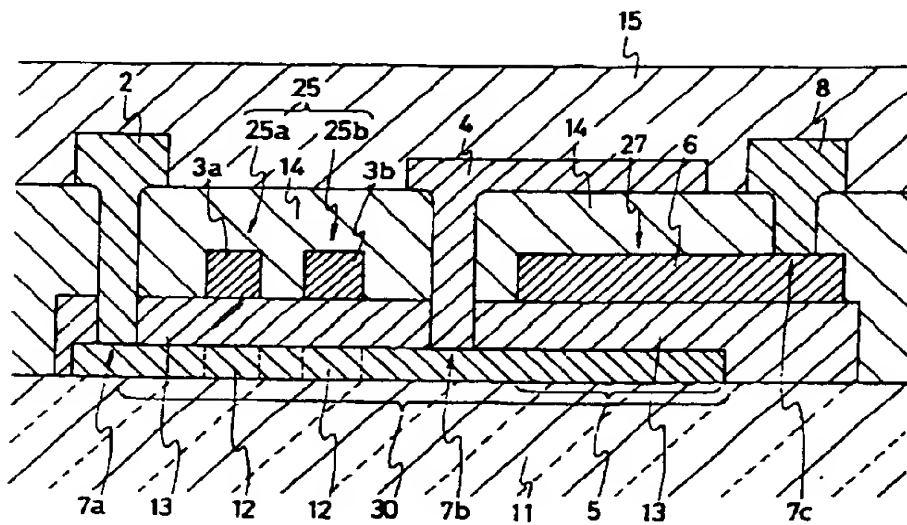
第 5 圖

第 8 圖
(a)

(b)



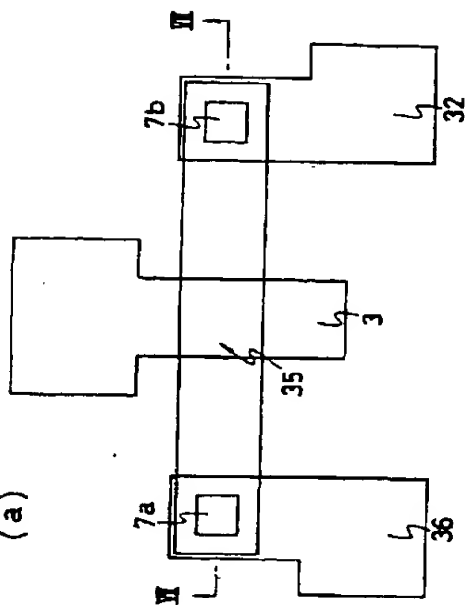
第 6 圖



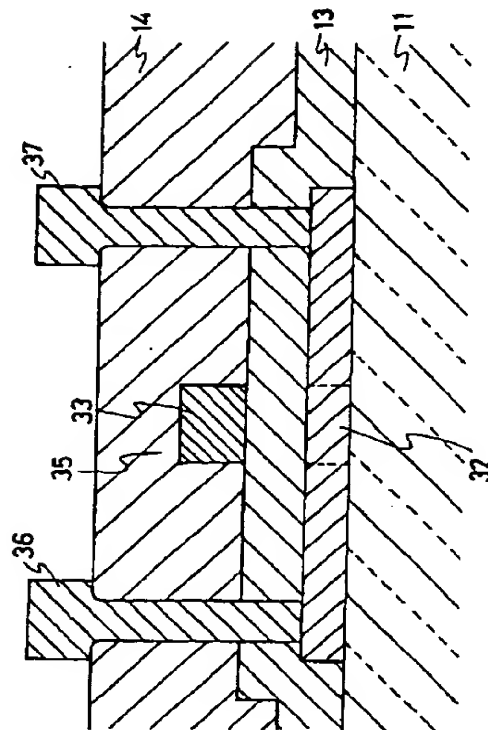
特開平3-293641 (11)

第7圖

(a)

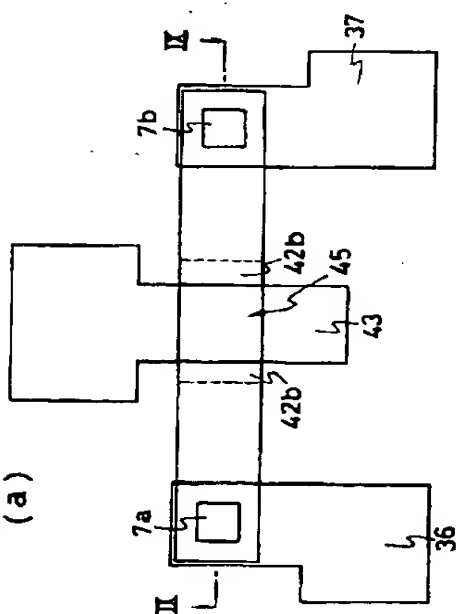


(b)

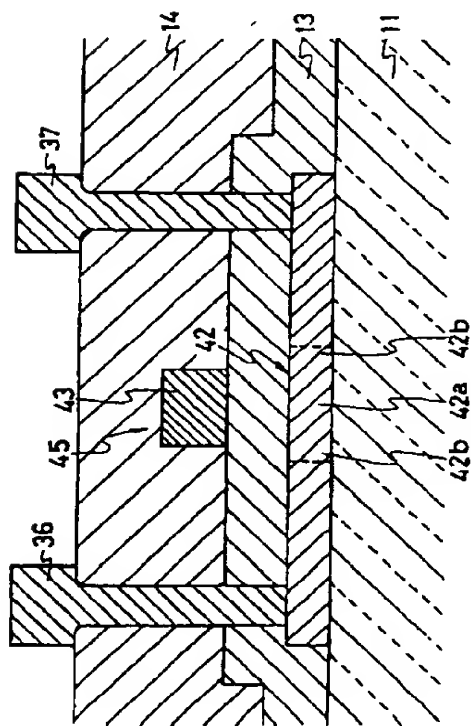


第9圖

(a)



(b)



特開平3-293641 (12)

第 10 図

